

15.12.2004

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年12月18日
Date of Application:

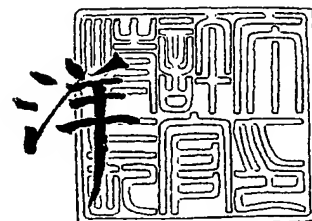
出願番号 特願2003-421695
Application Number:
[ST. 10/C]: [JP2003-421695]

出願人 ローム株式会社
Applicant(s):

2005年 1月27日

特許庁長官
Commissioner,
Japan Patent Office

小川



BEST AVAILABLE COPY

【書類名】 特許願
【整理番号】 03-00220
【提出日】 平成15年12月18日
【あて先】 特許庁長官 殿
【国際特許分類】 G11C 29/00
【発明者】
 【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内
 【氏名】 真砂 紀之
【発明者】
 【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内
 【氏名】 多田 佳広
【特許出願人】
 【識別番号】 000116024
 【氏名又は名称】 ローム株式会社
【代理人】
 【識別番号】 100121337
 【弁理士】
 【氏名又は名称】 藤河 恒生
 【電話番号】 077-547-3453
【手数料の表示】
 【予納台帳番号】 212120
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0202210

【書類名】 特許請求の範囲**【請求項 1】**

高電圧を発生する高電圧発生回路と、その高電圧を入力して電圧波形を変換する高電圧波形変換回路と、その変換された高電圧を印加することによりデータ書き換えを行うメモリセルと、を有する不揮発性メモリ装置において、

前記高電圧波形変換回路は、テスト信号入力部を有し、テスト信号入力部にテスト信号が入力されたとき、高電圧発生回路から入力する高電圧を、電圧波形の変換をすることなくメモリセルに印加することを特徴とする不揮発性メモリ装置。

【請求項 2】

請求項 1 に記載の不揮発性メモリ装置において、

前記高電圧波形変換回路は、高電圧発生回路から入力する高電圧を遅延させる遅延回路と、遅延させた高電圧を所定値だけ降下させる電圧変換用スイッチング素子とにより、電圧波形を変換するとともに、テスト信号が入力されたとき、電圧変換用スイッチング素子を並列的に短絡する短絡用スイッチング素子を備えてなることを特徴とする不揮発性メモリ装置。

【請求項 3】

請求項 2 に記載の不揮発性メモリ装置において、

前記電圧変換用スイッチング素子は、ゲートに遅延回路により遅延させた高電圧を入力し、所定値だけ降下させて変換した高電圧をソースから出力する N 型 MOS トランジスタであり、前記短絡用スイッチング素子は、ゲートにテスト信号が入力されたとき、ドレイン、ソース間がオンして高電圧発生回路から入力する高電圧をそのまま出力する P 型 MOS トランジスタであることを特徴とする不揮発性メモリ装置。

【書類名】 明細書

【発明の名称】 不揮発性メモリ装置

【技術分野】

【0001】

本発明は、メモリセルに高電圧を印加することによりデータ書き換えが可能なEEPROMやフラッシュメモリなどの不揮発性メモリ装置に関する。

【背景技術】

【0002】

近年、EEPROMやフラッシュメモリは、民生機器又は産業機器などにおいて、種々のプログラム記憶用あるいはデータ記憶用に幅広く用いられている。EEPROMやフラッシュメモリを構成するメモリセルは、高電圧（例えば15V）により発生するトンネル電流やホットエレクトロンを用い、フローティングゲートに電子を注入したりフローティングゲートの電子を放出したりする。その結果、メモリセルのしきい値が変化してデータの書き換えが行われる。

【0003】

図4に従来のEEPROM又はフラッシュメモリなどの不揮発性メモリ装置101のブロック図を示す。この不揮発性メモリ装置101は、複数のメモリセルが設けられたメモリセル部2と、下位アドレス線のアドレス信号を入力してメモリセル部2の1本のワード線（あるいはコントロール線）（図示せず）を選択するXデコーダ5と、上位アドレス線のアドレス信号を入力し、1本のワード線（あるいはコントロール線）につながったメモリセルの中で読み出し又は書き換えを行う一定のメモリセルを選択するYデコーダ6と、Yデコーダ6の出力信号を入力し、上記の選択された一定のメモリセルと後述のデータ入出力回路4との接続を行うYゲート3と、メモリセルのデータを読み出してデータ線に出力したりデータ線のデータ信号によりメモリセルのデータを書き換えたりするデータ入出力回路4と、データ書き換えのための高電圧を発生して節点Aに出力する高電圧発生回路7と、その高電圧を節点Aから入力し、電圧波形を変換して節点Bに出力する高電圧波形変換回路108と、から構成される。メモリセルのデータを書き換える場合は、高電圧波形変換回路108により変換された高電圧が、節点BからXデコーダ5又はデータ入出力回路4を介してメモリセル部2の各メモリセルに印加される。

【0004】

図5はこの高電圧波形変換回路108の回路図である。高電圧波形変換回路108において、図4における節点Aに対応する入力端子Aに抵抗12の一端とN型MOSトランジスタ11のドレインが接続される。抵抗12の他端は、他端が接地されたコンデンサ13が接続されると共にN型MOSトランジスタ11のゲートに接続される。N型MOSトランジスタ11のソースは、図4における節点Bに対応する出力端子Bに接続される。ここで、抵抗12とコンデンサ13は、入力した高電圧を遅延させる遅延回路を構成している。また、N型MOSトランジスタ11はソースフォロア構成になっている。

【0005】

図6に高電圧波形変換回路108における入力端子Aと出力端子Bの電圧波形を示す。入力端子Aに入力した高電圧（波形a）が立ち上がると（時間 t_0 ）、抵抗12とコンデンサ13とによりN型MOSトランジスタ11のゲート電圧は遅延し、例えば500 μ S後（時間 t_1 ）に立ち上がる。また、ソースフォロア構成であるN型MOSトランジスタ11のソース電圧は、ゲート電圧からN型MOSトランジスタ11のしきい値電圧だけ降下した電圧に維持される。従って、出力端子Bの電圧（波形b）は、N型MOSトランジスタ11のゲート電圧に追従して立ち上がり（すなわち、例えば500 μ S後（時間 t_1 ）に立ち上がり）、立ち上がった後は、入力端子Aの電圧よりもN型MOSトランジスタ11のしきい値電圧だけ降下した電圧になる。その後、入力端子Aの電圧が立ち下がると（時間 t_2 ）、出力端子Bの電圧は、N型MOSトランジスタ11がオンしているので、そのドレイン電圧（すなわち入力端子Aの電圧）に追従して立ち下がる。

【0006】

このように、高電圧波形変換回路108を設け、高電圧発生回路7が出力する高電圧の立ち上がりが緩やかになるように変換してメモリセル部2の各部位に印加することによって、メモリセルにかかるストレスを和らげている。

【0007】

【特許文献1】特開2001-250396号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

ところで、一般に、半導体工場で製造された半導体製品は、欠陥が有りながら出荷されてその後に不良品となる可能性があるものを取り除く試験、いわゆるスクリーニング試験を行う。このスクリーニング試験は、例えば保証範囲外の高温や高い電圧といった通常使用される条件よりも過酷な条件で行われる（例えば特許文献1）。

【0009】

しかし、EEPROM又はフラッシュメモリなどの不揮発性メモリ装置において、高電圧発生回路や高電圧波形変換回路などのメモリセル部の周辺回路に用いる高電圧用の素子（具体的にはN型あるいはP型MOSトランジスタなど）は、通常使用される条件でもその耐圧の限度付近で動作させているので、更に高い高電圧を発生させたり外部から入力させたりして試験を行うのが困難であった。従って、複数のメモリセルを有するメモリセル部の試験は、印加される高電圧を上げずに、高電圧以外の電源電圧や温度などを過酷な条件とした試験であり、スクリーニング試験の精度が十分ではなかった。

【0010】

本発明は、上記事由に鑑みてなしたもので、その目的とするところは、スクリーニング試験において、高電圧用の素子の耐圧の限度以下の電圧を印加させながら、スクリーニング試験の精度の向上を図ることができる不揮発性メモリ装置を提供することにある。

【課題を解決するための手段】

【0011】

上記の課題を解決するために、請求項1に係る不揮発性メモリ装置は、高電圧を発生する高電圧発生回路と、その高電圧を入力して電圧波形を変換する高電圧波形変換回路と、その変換された高電圧を印加することによりデータ書き換えを行うメモリセルと、を有する不揮発性メモリ装置において、前記高電圧波形変換回路は、テスト信号入力部を有し、テスト信号入力部にテスト信号が入力されたとき、高電圧発生回路から入力する高電圧を、電圧波形の変換をすることなくメモリセルに印加することを特徴とする。

【0012】

請求項2に係る不揮発性メモリ装置は、請求項1に記載の不揮発性メモリ装置において、前記高電圧波形変換回路は、高電圧発生回路から入力する高電圧を遅延させる遅延回路と、遅延させた高電圧を所定値だけ降下させる電圧変換用スイッチング素子とにより、電圧波形を変換するとともに、テスト信号が入力されたとき、電圧変換用スイッチング素子を並列的に短絡する短絡用スイッチング素子を備えてなることを特徴とする。

【0013】

請求項3に係る不揮発性メモリ装置は、請求項2に記載の不揮発性メモリ装置において、前記電圧変換用スイッチング素子は、ゲートに遅延回路により遅延させた高電圧を入力し、所定値だけ降下させて変換した高電圧をソースから出力するN型MOSトランジスタであり、前記短絡用スイッチング素子は、ゲートにテスト信号が入力されたとき、ドレイン、ソース間がオンして高電圧発生回路から入力する高電圧をそのまま出力するP型MOSトランジスタであることを特徴とする。

【発明の効果】

【0014】

本発明の不揮発性メモリ装置は、高電圧波形変換回路がテスト信号入力部を有し、テスト信号入力部にテスト信号が入力されたとき、高電圧発生回路から入力する高電圧を、電圧波形の変換をすることなくメモリセルに印加するようにしたので、スクリーニング試験

において、高電圧用の素子の耐圧の限度以下の電圧を印加させるものでありながら、メモリセル部に印加される高電圧によるストレスを可能な限り高くすることができ、よってスクリーニング試験の精度の向上を図ることができる。

【発明を実施するための最良の形態】

【0015】

以下、本発明の最良の実施形態を図面を参照しながら説明する。図1は本発明の実施形態である不揮発性メモリ装置のブロック図である。この不揮発性メモリ装置1は、従来の不揮発性メモリ装置101と同様に、複数のメモリセルが設けられたメモリセル部2と、下位アドレス線のアドレス信号を入力するXデコーダ5と、上位アドレス線のアドレス信号を入力するYデコーダ6と、Yデコーダ6の出力信号を入力し、選択された一定のメモリセルとデータ入出力回路4との接続を行うYゲート3と、メモリセルのデータを読み出してデータ線に出力したりデータ線のデータ信号によりメモリセルのデータを書き換えたりするデータ入出力回路4と、データ書き換えのための高電圧（例えば15V）を発生して節点Aに出力する高電圧発生回路7と、を備える。

【0016】

そして、この不揮発性メモリ装置1は、従来の不揮発性メモリ装置101の高電圧波形変換回路108に換え、特有の回路構成を有する高電圧波形変換回路8としている。この高電圧波形変換回路8は、テスト信号入力部であるTEST端子を有し、TEST端子にテスト信号が入力されたとき、高電圧発生回路7から入力する高電圧を、電圧波形の変換をすることなくメモリセル部2のメモリセルに印加するようにしている。すなわち、高電圧発生回路7が出力する高電圧を節点Aから入力し、電圧波形を変換して節点Bに出力する他に、TEST端子にテスト信号が入力されたとき（テスト時）、高電圧発生回路7から入力する高電圧を直接出力することができるのである。つまり、テスト信号が入力されない通常時にメモリセルのデータを書き換える場合は、高電圧波形変換回路8により電圧波形を変換された高電圧が、テスト信号が入力されるスクリーニング試験時（テスト時）にメモリセルのデータを書き換える場合は、電圧波形の変換をすることなく高電圧発生回路7の高電圧が、それぞれ節点BからXデコーダ5又はデータ入出力回路4を介してメモリセル部2の各メモリセルに印加されるのである。

【0017】

図2は高電圧波形変換回路8の回路図である。高電圧波形変換回路8が従来の高電圧波形変換回路108と異なるのは、上述したTEST端子を有するとともに、TEST端子のレベルを反転するインバータ15の出力にゲートが接続されるP型MOSトランジスタ14をN型MOSトランジスタ11と並列に設けている点である。すなわち、図1における節点Aに対応する入力端子Aに、抵抗12の一端とN型MOSトランジスタ11のドレインとP型MOSトランジスタ14のソースとが接続されると共にインバータ15の電源が接続される。抵抗12の他端は、他端が接地されたコンデンサ13が接続されると共にN型MOSトランジスタ11のゲートに接続される。P型MOSトランジスタ14のゲートは、上述のようにインバータ15の出力に接続され、インバータ15の入力はTEST端子に接続される。N型MOSトランジスタ11のソースとP型MOSトランジスタ14のドレインとは、互いに接続されると共に図1における節点Bに対応する出力端子Bに接続される。ここで、抵抗12とコンデンサ13とは入力した高電圧を遅延させる遅延回路を構成している。また、N型MOSトランジスタ11はソースフォロア構成になっている。換言すると、高電圧波形変換回路8は、高電圧発生回路7から入力する高電圧を遅延させる遅延回路と、遅延させた高電圧を所定値だけ降下させる電圧変換用スイッチング素子（N型MOSトランジスタ11）とにより、電圧波形を変換するとともに、テスト信号が入力されたとき、電圧変換用スイッチング素子を並列的に短絡する短絡用スイッチング素子（P型MOSトランジスタ14）を備えてなるのである。

【0018】

図3に高電圧波形変換回路8における入力端子Aと出力端子Bの電圧波形を示す。入力端子Aに入力した高電圧（波形a）が立ち上がると（時間 t_0 ）、抵抗12とコンデンサ

13とによりN型MOSトランジスタ11のゲート電圧は遅延し、例えば500 μ S後(時間 t_1)に立ち上がる。また、通常時にはTEST端子はローレベルでありP型MOSトランジスタ14はオフとなるため、出力端子Bの電圧は、N型MOSトランジスタ11のゲート電圧に追従して立ち上がり(すなわち、例えば500 μ S後(時間 t_1)に立ち上がり)、立ち上がった後は、入力端子Aの電圧よりも所定値だけ、すなわち、N型MOSトランジスタ11のしきい値電圧だけ低下した電圧になり波形bに示すものとなる。一方、テスト時にはTEST端子はハイレベルでありP型MOSトランジスタ14はオンとなり、すなわち、N型MOSトランジスタ11を並列的に短絡するため、出力端子Bの電圧は、入力端子Aの電圧と実質的に等しくなる。すなわち、テスト時には、出力端子Bの電圧は波形aに示すものとなるのである。

【0019】

その後、入力端子Aの電圧が立ち下がると(時間 t_2)、出力端子Bの電圧は、TEST端子のレベルに係わらず、N型MOSトランジスタ11がオンしているので、そのドレイン電圧(すなわち入力端子Aの電圧)に追従して立ち下がる。

【0020】

このように、通常時には、高電圧波形変換回路8は、高電圧発生回路7が出力する高電圧を立ち上がりが緩やかになるように変換し、その変換した高電圧をメモリセル部2の各メモリセルに印加することによって、メモリセルにかかるストレスを和らげることができる。一方、テスト時には、高電圧発生回路7が出力する高電圧を、すなわち立ち上がりが急峻でしかも電圧値が通常時よりも高い高電圧を、そのままメモリセル部2の各メモリセルに印加することによって、メモリセルにかかるストレスを上げることができる。ここで、テスト時に、高電圧発生回路7や高電圧波形変換回路8などメモリセル部の周辺回路に用いる高電圧用の素子が動作する電圧は、通常時と実質的に同じである。従って、それらの高電圧用の素子には、その耐圧の限度を超える電圧は印加されない。こうして、スクリーニング試験において、高電圧用の素子の耐圧の限度以下の電圧を印加させながら、メモリセル部に印加される高電圧によるストレスを可能な限り高くして、スクリーニング試験の精度の向上を図ることができる。

【図面の簡単な説明】

【0021】

【図1】本発明の実施形態に係る不揮発性メモリ装置のブロック図。

【図2】同上の高電圧波形変換回路の回路図。

【図3】同上の高電圧波形変換回路の動作波形図。

【図4】背景技術の不揮発性メモリ装置のブロック図。

【図5】同上の高電圧波形変換回路の回路図。

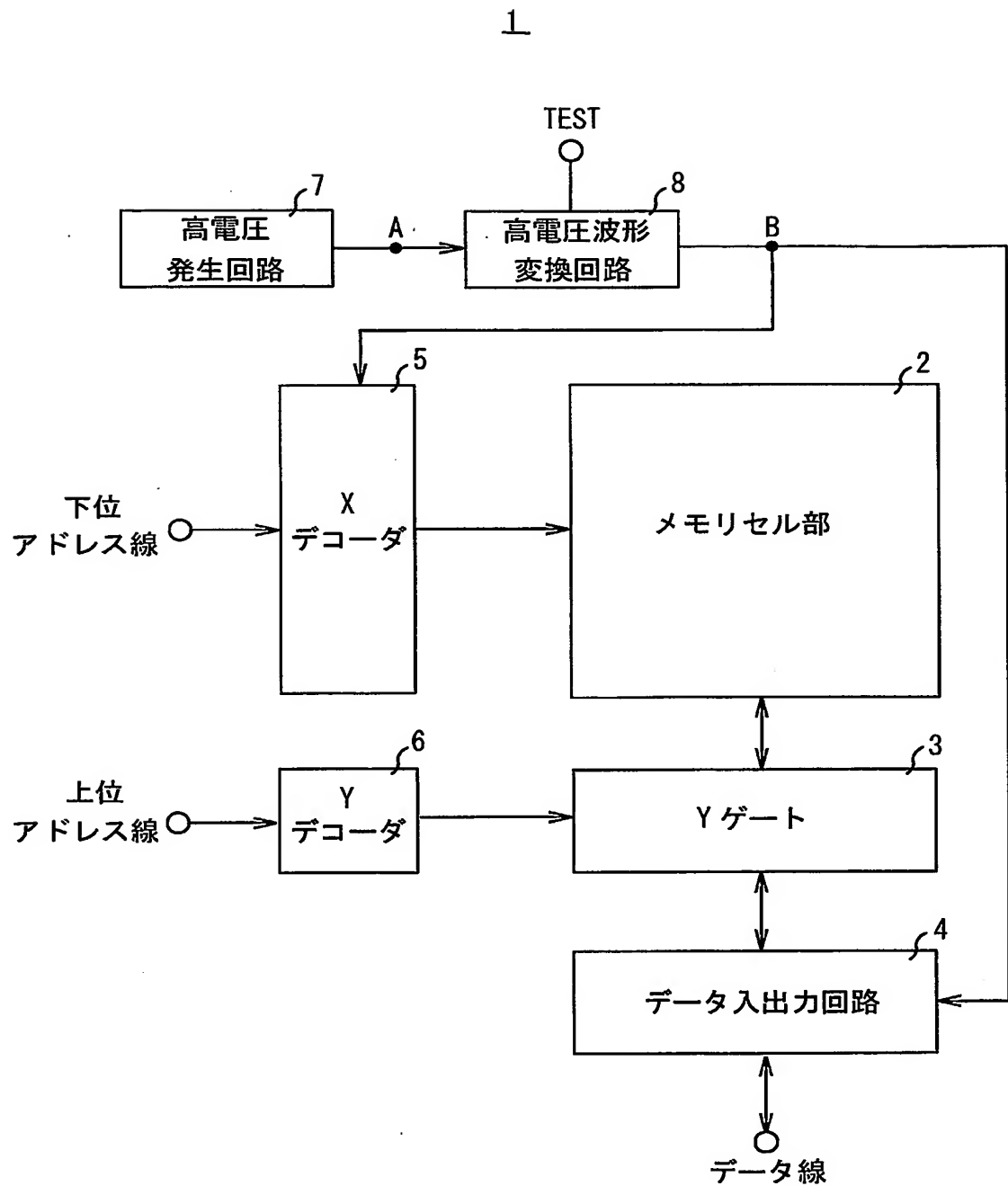
【図6】同上の高電圧波形変換回路の動作波形図。

【符号の説明】

【0022】

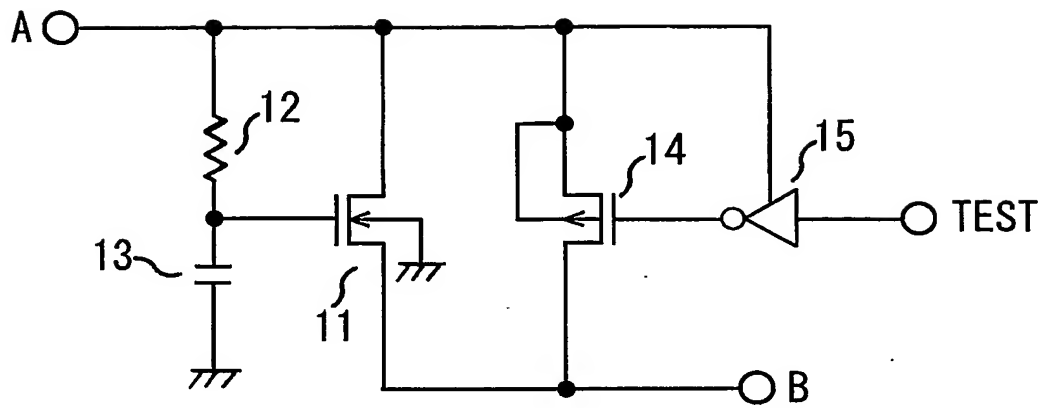
- 1 不揮発性メモリ装置
- 2 メモリセルを複数設けたメモリセル部
- 7 高電圧発生回路
- 8 高電圧波形変換回路
- 11 N型MOSトランジスタ(電圧変換用スイッチング素子)
- 12 遅延回路を構成する抵抗
- 13 遅延回路を構成するコンデンサ
- 14 P型MOSトランジスタ(短絡用スイッチング素子)
- TEST 高電圧波形変換回路のテスト端子(テスト信号入力部)

【書類名】 図面
【図 1】

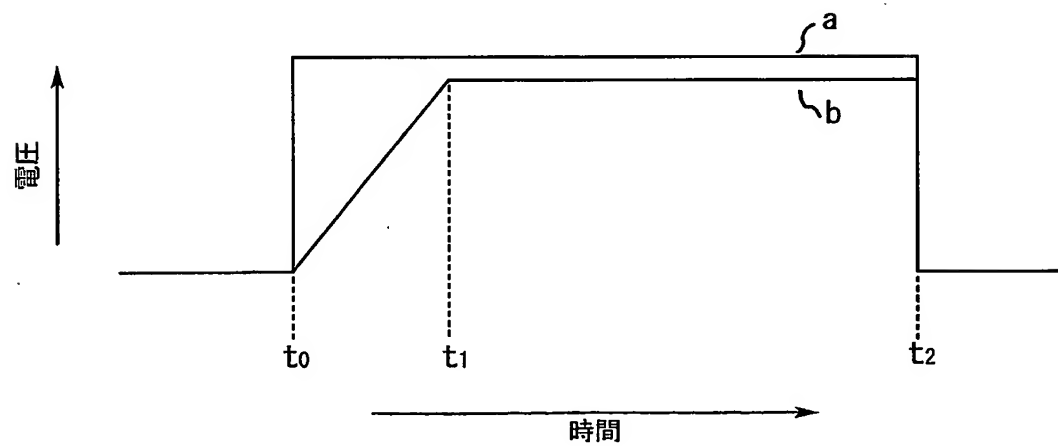


【図 2】

8

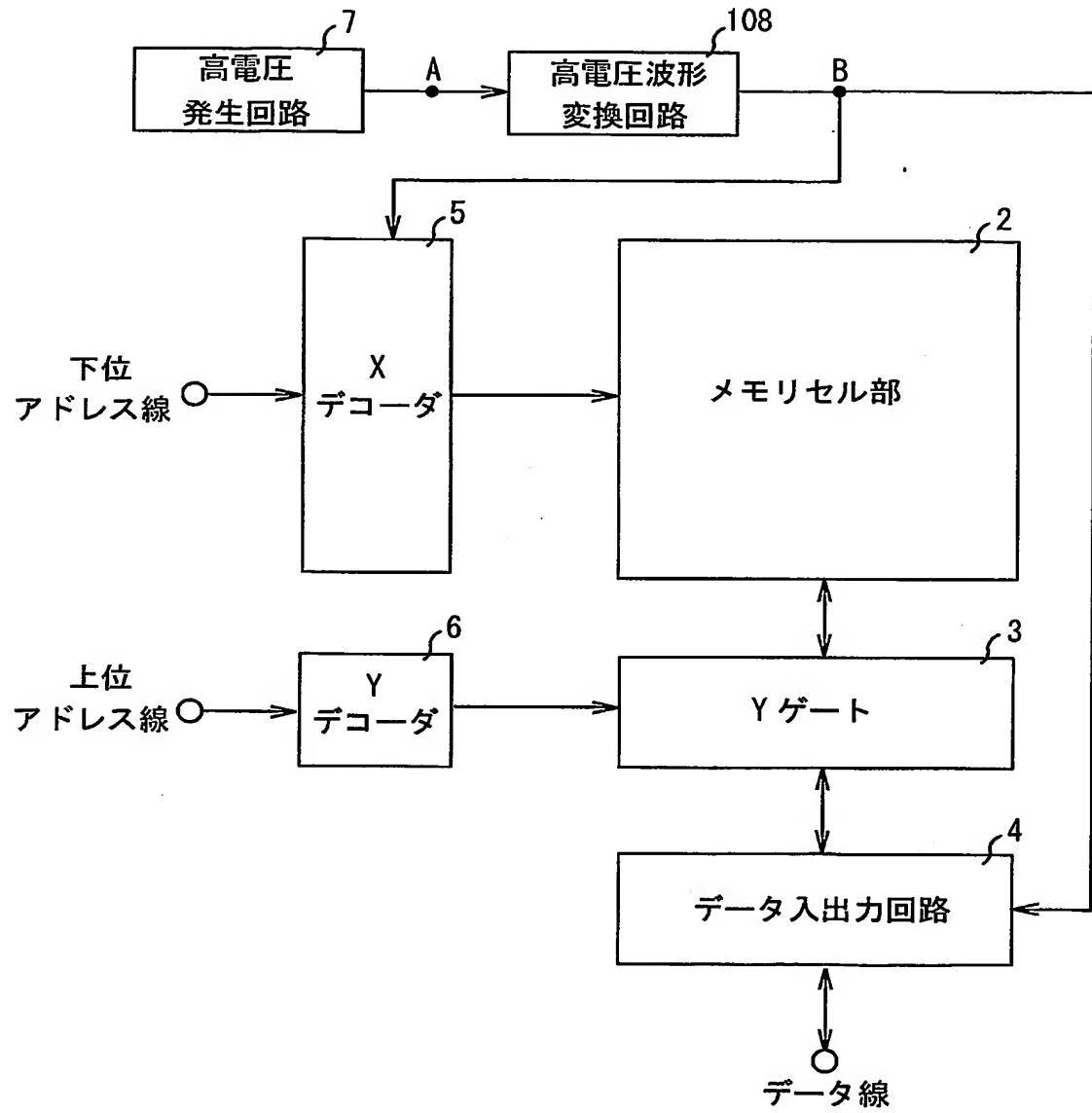


【図 3】

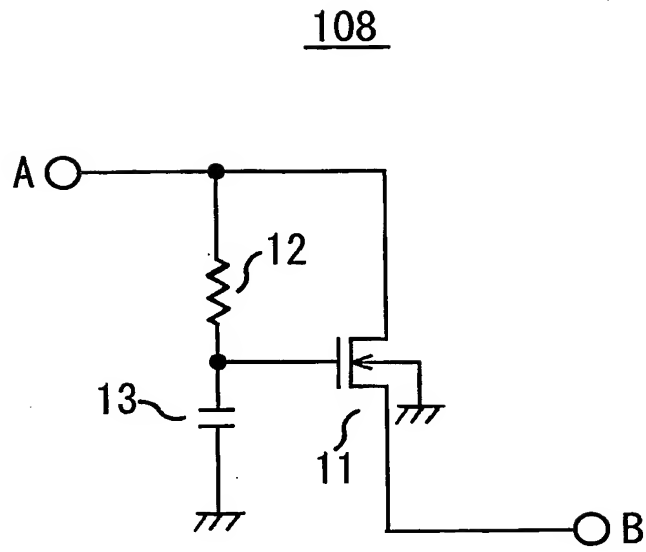


【図 4】

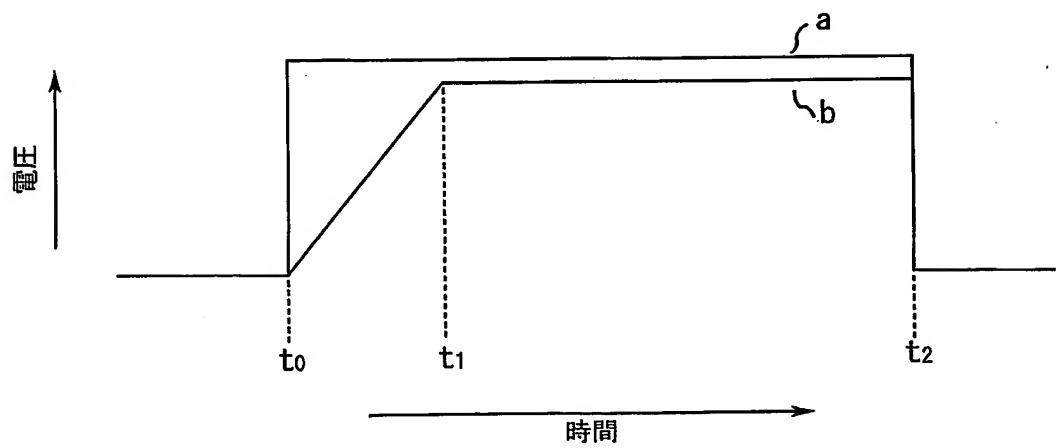
101



【図 5】



【図 6】



【書類名】 要約書**【要約】**

【課題】 スクリーニング試験において、高電圧用の素子の耐圧の限度以下の電圧を印加させながら、スクリーニング試験の精度の向上を図ることができる不揮発性メモリ装置の提供。

【解決手段】 この不揮発性メモリ装置 1 は、高電圧を発生する高電圧発生回路 7 と、その高電圧を入力して電圧波形を変換する高電圧波形変換回路 8 と、その変換された高電圧を印加することによりデータ書き換えを行うメモリセルを設けたメモリセル部 2 と、を有し、高電圧波形変換回路 8 は、テスト信号入力部 TEST を有し、このテスト信号入力部にテスト信号が入力されたとき、高電圧発生回路 7 から入力する高電圧を、電圧波形の変換をすることなくメモリセル部 2 に印加する。

【選択図】 図 1

特願 2 0 0 3 - 4 2 1 6 9 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 1 6 0 2 4]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

京都府京都市右京区西院溝崎町 2 1 番地

氏 名

ローム株式会社

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP04/018605

International filing date: 14 December 2004 (14.12.2004)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2003-421695
Filing date: 18 December 2003 (18.12.2003)

Date of receipt at the International Bureau: 10 February 2005 (10.02.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse